

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-229504  
 (43)Date of publication of application : 16.08.2002

(51)Int.CI. G09G 3/20  
 G09G 3/28  
 H01J 11/02

(21)Application number : 2001-107640

(71)Applicant : FUJITSU HITACHI PLASMA DISPLAY LTD  
 MIKOSHIBA SHIGEO

(22)Date of filing : 05.04.2001

(72)Inventor : OE TAKAYUKI  
 UEDA TOSHIRO  
 TODA KOSAKU  
 KARIYA NORIJI  
 MIKOSHIBA SHIGEO  
 SHIGA TOMOKAZU  
 YAMADA MAKIKO

(30)Priority

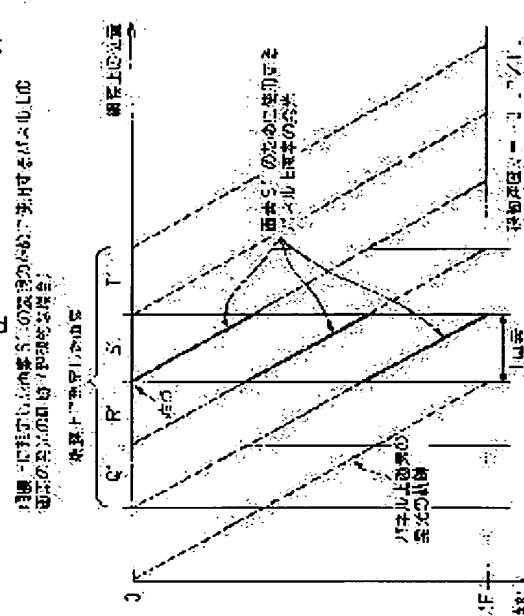
Priority number : 2000360760 Priority date : 28.11.2000 Priority country : JP

## (54) METHOD FOR DRIVING DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To solve the problems that it has conventionally been necessary to reduce a false outline of a moving picture in a display device displaying gradations using a time-division display system such as in a plasma display panel(PDP), and it has to alter the specifications of the panel to realize higher definition video display.

**SOLUTION:** This is a method for driving the display device for displaying an input picture moving on the display panel by composing one frame of a plurality of sub-frames, and specific retinal pixels focused on the retina from the input picture are assumed, and the emission by each sub-frame is controlled so that the luminance of the specific pixels on the retina is almost equalized to that of the pixels corresponding to the input picture.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

*THIS PAGE BLANK (USPTO)*

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-229504

(P2002-229504A)

(43)公開日 平成14年8月16日(2002.8.16)

(51)Int.Cl. <sup>7</sup> G 0 9 G 3/20  H 0 1 J 11/02	識別記号 6 4 1  6 6 0  3/28	F I G 0 9 G 3/20  H 0 1 J 11/02 G 0 9 G 3/28	テマコード(参考) 6 4 1 E 5 C 0 4 0 6 4 1 R 5 C 0 8 0 6 6 0 V B K
審査請求 未請求 請求項の数10 O.L (全26頁)			

(21)出願番号 特願2001-107640(P2001-107640)  
 (22)出願日 平成13年4月5日(2001.4.5)  
 (31)優先権主張番号 特願2000-360760(P2000-360760)  
 (32)優先日 平成12年11月28日(2000.11.28)  
 (33)優先権主張国 日本(JP)

(71)出願人 599132708  
 富士通日立プラズマディスプレイ株式会社  
 神奈川県川崎市高津区坂戸3丁目2番1号  
 (71)出願人 394023218  
 御子柴 茂生  
 東京都杉並区和泉2-43-17  
 (72)発明者 大江 崇之  
 神奈川県川崎市高津区坂戸3丁目2番1号  
 富士通日立プラズマディスプレイ株式会社内  
 (74)代理人 100077517  
 弁理士 石田 敏 (外4名)

最終頁に続く

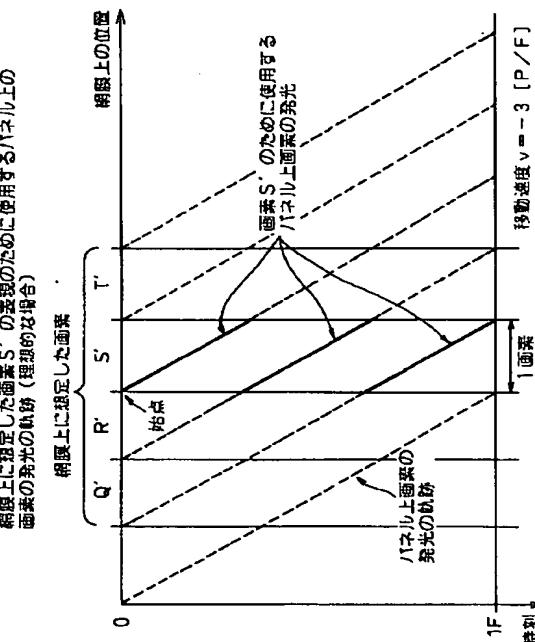
## (54)【発明の名称】 表示装置の駆動方法

## (57)【要約】

【課題】 従来、プラズマディスプレイパネル(Plasma Display Panel: PDP)のような時分割表示方式を用いて階調を表現している表示装置では、動画偽輪郭を低減する必要があるが、また、より一層の高精細な映像表示を実現するためには、パネルの仕様を変更しなければならなかった。

【解決手段】 1フレームを複数のサブフレームで構成し、表示パネル上を移動する入力画像を表示する表示装置の駆動方法であって、前記入力画像により網膜上に結像される特定の網膜上画素を想定し、該特定の網膜上画素の輝度が前記入力画像における対応する画素の輝度と概略等しくなるように前記各サブフレームによる発光を制御するように構成する。

図2



部分の面積を制限することを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示装置の駆動方法に関し、特に、プラズマディスプレイパネル（PDP : Plasma Display Panel）のような時分割表示方式（フレーム内時間分割法）を用いて階調を表現する表示装置の駆動方法に関する。近年、表示装置の大型化に伴って薄型の表示装置が要求され、各種類の薄型の表示装置が提供されている。例えば、デジタル信号のままで表示するマトリックスパネル、すなわち、PDP等のガス放電パネルや、DMD (Digital Micromirror Device) 、EL表示素子、蛍光表示管、液晶表示素子等のマトリックスパネル等が提供されている。このような薄型の表示装置のうち、ガス放電パネルは、簡易なプロセスのため大画面化が容易であること、自発光タイプで表示品質が良いこと、並びに、応答速度が速いこと等の理由から大画面で直視型のHDTV（高品位テレビ）用表示デバイスの最有力候補として考えられている。しかしながら、

10 表示装置においては、動画像部の中間調表示に乱れが生じて表示品位を損ねるという動画偽輪郭（色偽輪郭）の問題があり、これに対して、正または負の等化パルスを原信号に重畠して偽輪郭を低減することも提案されている。このような表示装置において、さらに画質を改善すると共に、高精細な映像表示を可能とする表示装置の駆動方法の提供が要望されている。

【0002】

【従来の技術】従来、PDPの中間調表示方法は、例えば、フレーム（フィールド）内時間分割法で行われております。1フレーム（フィールド）は、輝度の重みの異なるN個のサブフレーム（サブフィールド：発光ブロック）S F 1～S F Nにより構成される。ここで、インターレース動作を行っている場合、例えば、1フレームが偶数および奇数の2つのフィールドで構成されることになるが、本質的にはフレームと同等のものであり、本明細書では、このようなフィールドも含めてフレームなる語を使用する。また、本明細書において、1画素（pixel）は、R（赤）、G（緑）、B（青）の3個のサブピクセル（sub-pixel）で構成されるものとして説明する。さらに、以下の説明では、PDPを例として説明するが、本発明は、PDPに限定されるものではなく、フレーム内時間分割法を用いて階調表示を行う表示装置に対して幅広く適用することができる。

40 【0003】PDP等の表示装置の階調表示方式としては、通常、フレーム内時間分割法が使用されるが、このフレーム内時間分割法は、各画素の1TVフレーム当たりの発光期間が最大で1TVフレームまで広がるという特徴を持つ。そのため、画像が移動し、表示装置の観測者（ユーザ）の視点がその移動する像を追従すると、画素の発光は1TVフレームで移動する画素分だけ観測者

【特許請求の範囲】

【請求項1】 1フレームを複数のサブフレームで構成し、表示パネル上を移動する入力画像を表示する表示装置の駆動方法であって、前記入力画像により網膜上に結像される特定の網膜上画素を想定し、該特定の網膜上画素の輝度が前記入力画像における対応する画素の輝度と概略等しくなるように前記各サブフレームによる発光を制御することを特徴とする表示装置の駆動方法。

【請求項2】 請求項1に記載の表示装置の駆動方法において、前記各サブフレームによる発光を、前記表示パネル上を移動する前記入力画像の移動方向および移動速度に従って制御することを特徴とする表示装置の駆動方法。

【請求項3】 請求項2に記載の表示装置の駆動方法において、前記入力画像の移動に応じて各網膜上画素が網膜に与える軌跡を想定し、前記特定の網膜上画素の領域内に概略含まれる軌跡に対応する各サブフレームによる発光を制御することを特徴とする表示装置の駆動方法。

【請求項4】 請求項3に記載の表示装置の駆動方法において、前記特定の網膜上画素に対する発光は、当該特定の網膜上画素、または、それに隣接或いは近接する網膜上画素の軌跡に含まれ、且つ、前記特定の網膜上画素の領域内に概略含まれる軌跡に対応するサブフレームによる発光であることを特徴とする表示装置の駆動方法。

【請求項5】 請求項3に記載の表示装置の駆動方法において、前記特定の網膜上画素を表示するのに使用する各サブフレームによる発光領域の網膜上画素ピッチを、前記表示パネルの画素ピッチよりも短くすることを特徴とする表示装置の駆動方法。

【請求項6】 請求項5に記載の表示装置の駆動方法において、前記網膜上画素ピッチを、前記表示パネルの画素ピッチの1/2に選ぶことを特徴とする表示装置の駆動方法。

【請求項7】 請求項6に記載の表示装置の駆動方法において、前記網膜上画素の1フレームをN個のサブフレームで構成するとき、前記表示パネルの画素に対して1フレーム期間当たり前記N個のサブフレームを2組設けることを特徴とする表示装置の駆動方法。

【請求項8】 請求項7に記載の表示装置の駆動方法において、前記表示パネルの画素に対して、前記1フレーム期間の前半および後半それぞれに前記N個のサブフレームの各1組を配置することを特徴とする表示装置の駆動方法。

【請求項9】 請求項1～12のいずれか1項に記載の表示装置の駆動方法を適用することを特徴とする表示装置。

【請求項10】 請求項9に記載の表示装置の駆動方法において、前記表示パネルを構成する各発光セルの発光取り出し部分にスリットを設け、実効的な発光取り出し

の網膜上で広がることになる。

【0004】

【発明が解決しようとする課題】従来、PDPで動画を表示する際、表示画像のエッジ部分が不鮮明になるという課題がある。これは、観測者の視点がその移動する像を追従する時、その観測者の目の残像効果によるものである。この乱れは、前述したように、動画偽輪郭と呼ばれ、PDPの大きな問題の発生原理と同じである。

【0005】この動画偽輪郭を低減する手法としては、従来、階調数を減少させて発光ブロックの数を増やす方法や、発光重心の移動を抑制するために重ね合わせ処理を行うといった手法が提案されている。すなわち、従来、日本国特開平10-039828号公報、特開平10-133623号公報、特開平11-249617号公報、特開2000-105565号公報、および、特開2000-163004号公報等が提案されている。ここで、後述する網膜上の画素の想定方法は、例えば、特開2000-105565号公報等に詳述されている。

【0006】しかしながら、このような従来の方式を用いると、画像のエッジ部分の不鮮明さがさらに強調されることになる。そこで、自然な映像表現を行うために、階調数を落とすことなく動画偽輪郭を低減する必要がある。また、より高精細なパネルを実現するために、アドレス速度を上げることはもちろん、洗練された製造技術も要求される。そのため、現状技術のままPDPの解像度を上げることは容易ではない。さらに、高解像度は、放電セルの縮小による発光効率の低下を招くことにもなる。

【0007】本発明の目的は、動画像のエッジ部分の不鮮明さを改善するだけでなく、さらに、従来のパネルの仕様を変更することなく、より一層高精細な映像表示を可能とする表示装置の駆動方法を提供することにある。

【0008】

【課題を解決するための手段】本発明によれば、1フレームを複数のサブフレームで構成し、表示パネル上を移動する入力画像を表示する表示装置の駆動方法が提供される。この表示装置の駆動方法は、入力画像により網膜上に結像される特定の網膜上画素を想定し、この特定の網膜上画素の輝度が入力画像における対応する画素の輝度と概略等しくなるように各サブフレームによる発光を制御するものである。

【0009】このように、本発明の表示装置の駆動方法によれば、入力画像と網膜上に結像する映像とを一致させて、動画偽輪郭を低減することができ、さらに、動画像の発光の広がりを利用することで、パネル自体の精細度を上げることなく入力画像の精細度よりもさらに高精細な表示を実現することができる。例えば、PDP等の表示装置は、通常、階調表示方式としてフレーム内時間分割法を使用するが、この場合、画像が移動して観測者

の視点がその移動する像を追従すると、画素の発光は1TVフレームで移動する画素分だけ観測者の網膜上で広がる。本発明は、この観測者の網膜上における画素の発光の広がりを制御して、パネル上の1画素に対応する網膜上の1画素内に、仮想的に複数の画素（例えば、2つの画素）作ることにより、画像の移動方向に対して解像度を複数倍（例えば、2倍）に向上する。すなわち、本発明は、動画像の発光の広がりを利用して解像度を向上する表示装置の駆動方法（仮想画素法）を提供するものである。

【0010】

【発明の実施の形態】以下、本発明に係る表示装置の駆動方法（仮想画素法）の実施例を図面に従って詳述する。なお、本発明に係る表示装置の駆動方法の適用は、PDPに限定されるものではなく、フレーム内時間分割法を用いて階調を表現する表示装置、すなわち、1フレーム期間を複数の種々の発光期間を有する複数のサブフレームに分割して階調表示を行う様々な表示装置に対して幅広く適用することができる。

【0011】図1は表示したい画素とそれに対応して網膜上に想定した画素（静止画の場合）を示す図であり、図2は網膜上に想定した画素S'の表現のために使用するパネル（表示パネル）上の画素の発光の軌跡（理想的な場合）を示す図である。ここで、図1（a）は表示装置（PDP）に対する入力画素（表示したい画素）を示し、また、図1（b）は入力画素により表示装置の観測者（ユーザ）の網膜上に想定される画素を示す。なお、各画素（pixel）は、それぞれR、G、Bの3個のサブピクセル（sub-pixel）含んでいる。

【0012】図1（a）および図1（b）に示されるように、静止画の場合、入力した画素Q、R、S、Tの輝度は、そのまま網膜上に想定した画素Q'、R'、S'、T'の輝度となる。すなわち、表示装置（PDP）上の輝度255の画素Sは、観測者の網膜上においても輝度255の画素S'となる。しかしながら、図2に示されるように、1フレーム期間（1F）に、画像がPDP（パネル）上を右から左方向へ移動（移動速度Vが、 $V = -3$  [P/F : Pixel/Frame (pixel/Field)] で移動）した場合、観測者の網膜上における画素Q'、R'、S'、T'の発光は、何も処理をしなければ図2の破線に示すような軌跡を網膜上に残す。ここで、画像がパネル上を右から左方向へ移動する場合、観測者の目は、そのパターンを追うため、網膜上に投影される画像は、相対的に網膜上を左から右方向へ移動することになる。なお、像がパネル上を左から右方向へ移動するのを正（+）とし、像がパネル上を右から左方向へ移動するのを負（-）とする。

【0013】このように画像が移動する場合、網膜上に想定した画素の輝度を入力画素と一致させるためには、軌跡を利用する。例えば、網膜上に想定した画素S'を

表現する場合、図2の太線で示す軌跡のように、画素S'の幅内にある軌跡を発光させれば、その画素S'に対して入力画素と同じ輝度を点灯させることができる。これは、本来の画素の軌跡の長さ（時刻=0の時、S'が左端から右斜め下方向に延びる破線の総延長）と太線部の長さの合計とが一致しているからである。

【0014】これにより、網膜上の位置と輝度が入力画素の位置と合致し、その結果、動画偽輪郭が低減されることになる。なお、このとき、元の画素Sが全てのサブフレーム（SF1～FN：発光プロックA, D, D, D, D, D, D）で発光する輝度であれば、太線部全てについて発光させ、また、画素Sが特定のサブフレームで発光する輝度であれば、太線部内の任意の部分を発光させ、その総和がSの輝度と一致するよう制御を行うことになる。

【0015】図3は網膜上に想定した画素S'の表現のために使用するパネル上の画素の発光の軌跡（発光プロックを考慮した場合）を示す図である。図3において、参照符号Aは、例えば、図29における非冗長性発光プロック（階調レベル1, 2, 4, 8, 16のサブフレームを合わせたもの：サブフレームSF1～SF5を合計したもの）を示し、また、参照符号Dは、例えば、図29における冗長性がある発光プロック（各階調レベル32のサブフレームSF6～SF12のそれぞれ）を示す。さらに、参照符号Q', R', S', T'は、PDP上の画素Q, R, S, Tに対応する網膜上の画素を示す。ここで、図3において、縦軸は時刻（1F: 1フレーム）を示し、また、横軸は網膜上の位置を示している。なお、像の移動速度Vが負の場合（例えば、V=-3 [P/F]）、網膜上に想定した画素S'の始点は、図2および図3における画素S'の領域の左上端とする。

【0016】実際に使用できる発光の軌跡は、サブフレーム発光期間に制限されるため、例えば、後述する図29に示すような12個のSF（サブフレーム）を使用した場合には、図3の太線部を選択する。図3において、画素S'を構成する3本の斜め線（太線部）の内、一番上の太線の右下部は少しだけ隣接する画素T'の領域に侵入している。これは、画素S'に対応する発光プロック（D）が1発光プロック=1サブフレームとなっており（図29のD参照）、そのため、1つのサブフレーム内において途中で画素T'の領域にはみ出したからといって、途中から発光を止めるといった制御ができないことに起因している。同様に、一番下の太線も左上部が少し隣接する画素R'の領域に侵入している。

【0017】従って、理想的には図2の様に輝度を一致させたいのであるが、サブフレームの関係で完全に一致させることができない場合には、できるだけ元の画素Sの輝度に一番近くなるように、各発光プロックでの発光／非発光を制御することになる。この場合の具体的な発

10 光プロックの決定方法を図6～図9に示す。図6はパネル上の画素Pnにおける注目発光プロックの発光の軌跡の中心までの時間と距離を示す図であり、図7はa=0の場合、図8はa=1の場合、そして、図9はa=2の場合を示す図である。なお、網膜上に想定した画素Pn'の始点は、各図における画素Pn'の領域の左上端である。

【0018】図6は、パネル（PDP: 表示装置）上の画素Pnの構成発光プロックがどの画素で使用されるかを決定する原理を示すものである。図6において、混乱を避けるために、パネル上の画素をPn（=パネル上のn番目に位置する画素）とし、それに対応する網膜上の想定画素をPn'としている。なお、網膜上の想定画素Pn-1', Pn+1' およびPn+2' は、それぞれパネル上の画素Pn-1, Pn+1およびPn+2に対応するものである。なお、以下の説明において、参照符号aは、a=i nt (dx/網膜上の1画素幅)により求められる値である。

【0019】まず、パネル上の画素Pnの発光の始点から注目する発光プロックの発光の中心までの時間t、および、位置dxを計算する。すなわち、1フレーム期間（1F）に、像がパネル上を右から左方向へ移動（移動速度V=-3 [P/F]で移動）し、且つ、a=0の場合、図7に示されるように、その発光プロックは網膜上の画素Pn'において使用される。また、図8に示されるように、像がV=-3 [P/F]で移動し、且つ、a=1の場合には、その発光プロックは網膜上の画素Pn+1'において使用される。さらに、図9に示されるように、像が移動速度V=-3 [P/F]で移動し、且つ、a=2の場合には、その発光プロックは網膜上の画素Pn+2'において使用される。

【0020】図10は網膜上に想定した画素S'の表現のために使用するパネル上の画素の発光の軌跡（理想的な場合）を示す図であり、図11は網膜上に想定した画素S'の表現のために使用するパネル上の画素の発光の軌跡（発光プロックを考慮した場合）を示す図である。これら図10および図11は、前述した図2および図3に対応するものであり、1フレーム期間（1F）に、画像がPDP（パネル）上を左から右方向へ移動（移動速度Vが、V=3 [P/F]で移動）した場合を示すもので、観測者の網膜上における画素Q', R', S', T', U'の発光は、何も処理をしなければ図10の破線に示すような軌跡を網膜上に残す。なお、像の移動速度Vが正の場合（例えば、V=3 [P/F]）、網膜上に想定した画素S'の始点は、図10および図11における画素S'の領域の右上端とする。

【0021】このように画像がパネル上を正の方向（左から右方向）に移動する場合も前述した画像の負の方向への移動と同様に、網膜上に想定した画素の輝度を入力画素と一致させるために軌跡を利用する。例えば、網膜

7  
上に想定した画素  $S'$  を表現する場合、図 10 の太線で示す軌跡のように、画素  $S'$  の幅内にある軌跡を発光させれば、その画素  $S'$  に対して入力画素と同じ輝度を点灯させることができる。これにより、網膜上の位置と輝度が入力画素の位置と合致し、その結果、動画偽輪郭が低減されることになる。

【0022】図 1において、前述した図 3 と同様に、画素  $S'$  を構成する 3 本の斜め線（太線部）は、それぞれ画素  $S'$  の領域に完全に収まつてはいないが、サブフレームの関係で完全に一致させることができない場合には、できるだけ元の画素  $S$  の輝度に一番近くなるように、各発光ブロックでの発光／非発光を制御する。図 12 はパネル上の画素  $P_n$  における注目発光ブロックの発光の軌跡の中心までの時間と距離を示す図であり、図 13 は  $a = 0$  の場合、図 14 は  $a = 1$  の場合、そして、図 15 は  $a = 2$  の場合を示す図である。なお、網膜上に想定した画素  $P_n'$  の始点は、各図における画素  $P_n'$  の領域の右上端である。

【0023】図 12 は、前述した図 6 に対応するものであり、パネル上の画素  $P_n$  の構成発光ブロックがどの画素で使用されるかを決定する原理を示している。まず、パネル上の画素  $P_n$  の発光の始点から注目する発光ブロックの発光の中心までの時間  $t$ 、および、位置  $d_x$  を計算する。そして、1 フレーム期間（1F）に、像がパネル上を左から右方向へ移動（移動速度  $V = 3 [P/F]$  で移動）し、且つ、 $a = 0$  の場合、図 13 に示されるように、その発光ブロックは網膜上の画素  $P_n'$  において使用される。また、図 14 に示されるように、像が移動速度  $V = 3 [P/F]$  で移動し、且つ、 $a = 1$  の場合には、その発光ブロックは網膜上の画素  $P_{n-1}'$  において使用される。さらに、図 15 に示されるように、像が移動速度  $V = 3 [P/F]$  で移動し、且つ、 $a = 2$  の場合には、その発光ブロックは網膜上の画素  $P_{n-2}'$  において使用される。

【0024】ところで、図 29 に示すように、1 フレームが 12 個のサブフレーム SF1～SF12 で構成される場合、すなわち、SF1 が階調レベル 1、SF2 が階調レベル 2、SF3 が階調レベル 4、SF4 が階調レベル 8、SF5 が階調レベル 16、そして、SF6～12 がそれぞれ階調レベル 32 の場合、発光期間の等しい（階調レベル 32 の）発光ブロック（D ブロック：冗長発光ブロック）は、SF6～SF12 の 7 つある。なお、A ブロック（非冗長発光ブロック）は、SF1～SF5 を合わせたもので、階調レベルは 31 である。

【0025】このように、発光ブロック選択パターンがいくつも有る場合には、解像度を向上させるために、例えば、位置的に左側に在るものから使用する。図 16 は冗長発光ブロックの選択順序（移動方向左： $V = -3 [P/F]$ ）を示す図であり、図 17 は冗長発光ブロックの選択順序（移動方向右： $V = 3 [P/F]$ ）を示す

図である。

【0026】図 16 に示されるように、網膜上の画素  $S'$  を表現する場合、括弧数字の順に優先的に選択する。すなわち、(1) : SF10 の発光ブロック D → (2) : SF8 の発光ブロック D → (3) : SF11 の発光ブロック D → (4) : SF6 の発光ブロック D → (5) : SF9 の発光ブロック D → (6) : SF12 の発光ブロック D → (7) : SF7 の発光ブロック D となるように、冗長発光ブロック D の選択を行う。

【0027】これは、図 16 における太線部（発光ブロック）の中心位置と画素  $S'$  の左端との距離 ( $= d_X$ ) が (1) → (2) → … → (7) の順に短いからである。なお、一番上にある発光ブロック A は、他に同じ発光期間の発光ブロック（=冗長発光ブロック）がないため、発光ブロックの選択の対象とはならない。ここで、以上の説明では、図 16 における発光ブロック D の中心位置と画素  $S'$  の左端との距離 ( $= d_X$ ) が短い順で優先的に選択を行う場合を説明したが、これは、発光ブロック D の中心位置と画素  $S'$  の左端との距離 ( $= d_X$ ) が長い順で優先的に選択を行うようにしてもよい。すなわち、上述と全く逆の (7) → (6) → … → (1) の順で優先的に選択を行ってもよい。ただし、発光ブロック A（サブフレーム SF1～SF5）が使用されている場合には、画素  $S'$  の左端との距離が短い順に選ぶ ((1) → (2) → … → (7)) 方が好ましい。

【0028】このように、発光ブロック（冗長発光ブロック D）を 1 画素全体に分散させるのではなく、画素の一部に発光を集中させる（一方に偏らせる）ことにより、実質的な解像度を向上させることが可能となる。図 17 に示されるように、像の移動方向が図 16 と逆の場合網膜上の画素  $S'$  を表現する場合、括弧数字の順に優先的に選択する。すなわち、図 17 における発光ブロック D の中心位置と画素  $S'$  の右端との距離 ( $= d_X$ ) が短い順に、(1) : SF10 の発光ブロック D → (2) : SF8 の発光ブロック D → (3) : SF11 の発光ブロック D → (4) : SF6 の発光ブロック D → (5) : SF9 の発光ブロック D → (6) : SF12 の発光ブロック D → (7) : SF7 の発光ブロック D となるように、優先的に冗長発光ブロック D の選択を行う。

【0029】この場合も、発光ブロック D の中心位置と画素  $S'$  の右端との距離 ( $= d_X$ ) が長い順で優先的に選択を行うように、すなわち、(7) → (6) → … → (1) の順で優先的に選択を行ってもよい。ただし、発光ブロック A（サブフレーム SF1～SF5）が使用されている場合には、画素  $S'$  の右端との距離が短い順に選ぶ ((1) → (2) → … → (7)) 方が好ましい。このように、冗長性のある発光ブロック D を画素の一部に偏らせることにより、実質的な解像度を向上させることが可能となる。

【0029】図 18 は網膜上の位置が等しい冗長発光ブ

ロックの選択順序（移動方向左： $V = -4$  [P/F]）を示す図であり、図19は網膜上の位置が等しい冗長発光ブロックの選択順序（移動方向右： $V = 4$  [P/F]）を示す図である。図18および図19に示されるように、移動速度により複数の冗長発光ブロックDの位置が一致する場合（ $d_x$ の値が等しい場合）、すなわち、SF7, SF9およびSF11の各発光ブロックDの距離 $d_x$ の値が等しく、また、SF6, SF8, SF10およびSF12の各発光ブロックDの距離 $d_x$ の値が等しい場合には、それぞれ時間的に早い方から順に選択する。これは、発光を時間的に前詰めにすることにより、フリッカ防止するためである。ここでいうフリッカとは、画素間で発光状態が異なる際に発生するフリッカ（ラインフリッカ）であり、これは大きな発光ブロック（冗長性のある発光ブロックD）の発光を時間的に揃えることで抑制することができる。

【0030】なお、上記のラインフリッカの抑制は、上述のように時間的に前詰めすることにより抑制することができるだけでなく、時間的に後詰めしても抑制の効果がある。すなわち、冗長性のある発光ブロックDの距離 $d_x$ の値が等しい場合には、時間的に早い方から順に選択するのではなく、時間的に遅い方から順に選択するようにしてもよい。ただし、発光ブロックA（サブフレームSF1～SF5）が使用されている場合には、発光を時間的に前詰めにする方が好ましい。

【0031】この網膜上に想定する画素は、上述した本発明の表示装置の駆動方法を応用することにより、実際の画素よりも高精細にすることができる。図4はパネル上の画素とそれより細かく網膜上に想定した画素（仮想画素）を示す図であり、図5はパネル上の画素とそれを1/2分割して網膜上に想定した画素（仮想画素）を示す図である。ここで、図4(a)および図5(a)はパネル上の画素を示し、また、図4(b)および図5(b)は網膜上に想定した画素（仮想画素）を示す。

【0032】図4(a)および図4(b)に示されるように、本発明の表示装置の駆動方法を応用することにより、パネル上の画素Q, R, S, Tは、より高精細化された（1/n分割した）網膜上に想定した仮想画素Q', R', S', T' とされ得る。すなわち、各仮想画素Q', R', S', T' は、それぞれn個に分割された画素（n分割仮想画素）Q<sub>1</sub>'～Q<sub>n</sub>', R<sub>1</sub>'～R<sub>n</sub>', S<sub>1</sub>'～S<sub>n</sub>', T<sub>1</sub>'～T<sub>n</sub>' により構成することができる。

【0033】ここで、1つの仮想画素を分割し得る数n（高精細化の条件）は、像のパネル上を移動する速度が速い程、また、冗長性サブフレームの数が多い程、増大することができる。図5(a)および図5(b)に示されるように、パネル上の画素Q, R, S, Tを2倍に高精細化する場合には、網膜上に想定した仮想画素Q', R', S', T' は、それぞれ2個の分割画素Q<sub>1</sub>',

Q<sub>2</sub>', R<sub>1</sub>', R<sub>2</sub>', S<sub>1</sub>', S<sub>2</sub>', T<sub>1</sub>', T<sub>2</sub>' により構成される。ここで、例えば、像がパネル上を4[P/F]の速度で移動し、このとき、1フレームがA+7Dの発光ブロックにより構成される場合（図29に示される場合）に網膜上に想定された仮想画素Q', R', S', T' が2倍に高精細化されたとする。同様に、像がパネル上を4[P/F]の速度で移動し且つ1フレームがA+15Dの発光ブロックにより構成される場合には、網膜上に想定された仮想画素Q', R', S', T' を4倍に高精細化することが可能となる。

【0034】例えば、PDPで階調表示方式として使用されるフレーム内パルス数変調方式（時分割表示方式）は、各画素の1TVフレームあたりの発光期間が最大で1TVフレームまで広がるという特徴を持つ。このため、画像が移動し、観測者（ユーザ）の視点が像を追従すると、画素の発光は1TVフレームで移動する画素分だけ網膜上で広がる。この広がりを制御して、パネル上の1画素に対応する網膜上の1画素内に、仮想的に画素を2つ作れば、画像の移動方向に対し解像度を2倍にすることができる。

【0035】観測者の視点が移動する画像を追従すると、網膜がパネル上の各画素より受けける発光の刺激は、1TVフレームで像が移動する画素分だけ広がる。画像の移動速度をV[P/F, pixel/field]、1TVフレームを構成するそれぞれのサブフレーム発光期間をt、そして、表示する階調数を256とすると、各サブフレーム発光期間が網膜上で広がる幅は、網膜上の1画素の（ $Vt / 255 + 1/3$ ）倍となる。なお、ここで使用する単位“pixel”は、表示パネル上のR, G, Bの3つのサブピクセルで構成する1画素の幅である。

【0036】図4は、実際の画素（=パネル上の画素）Q, R, S, Tに対して、網膜上に想定される画素Q', R', S', T' を各々n分割させる例であり、また、図5は同じく2分割させる例を示している。例えば、パネル（表示パネル）上にQ, R, S, Tの4画素がある場合、通常の表示では、網膜上の画素も同じくQ, R, S, Tの4画素となる。一方、仮想画素法を用いると、例えば、図5の例では、網膜上に仮想画素を8個形成し、PDP上の画素の2倍の解像度の画像が表現できる。つまり、動画像に対しては、パネル特性がVG A仕様（例えば、640×480）のPDPでSXGA表示（例えば、1280×1024）が可能となる。

【0037】図20は仮想画素S<sub>1</sub>'の表現のために使用するパネル上の画素の発光の軌跡（理想的な場合：解像度を2倍にする場合）を示す図であり、図21は仮想画素S<sub>1</sub>'およびS<sub>2</sub>'の表現のために使用するパネル上の画素の発光の軌跡（発光ブロックを考慮した場合）を示す図である。ここで、図20および図21は、画像がパネル上を右から左方向へ移動した場合の観測者の網

膜上に想定した画素 $Q'$ ,  $R'$ ,  $S'$ ,  $T'$ を示す。  
【0038】網膜上に想定される画素の数を、実際のパネル（表示パネル）上の画素数の2倍にするために、パネル上の1画素に対応する網膜上の1画素（ $S'$ ）幅内に仮想画素を2つ（ $S_1'$ ,  $S_2'$ ）形成させる場合、仮想画素 $S_1'$ を形成するのに使用する理想的な発光の軌跡は、図20の太線部となる。本発明に係る表示装置の駆動方法を適用するには、まず、画像がパネル上で動いていること、および、その動きの方向と速度が分かっていることが必要である。

【0039】図24は本発明に係る表示装置の駆動方法（仮想画素法）で用いるサブフレーム配列の例を示す図である。ここで、図24（c）は、前述した図29に示す1フレームを12個のサブフレームSF1～SF12で構成したものを2組、すなわち、0Fから0.5Fと0.5Fから1Fに対してそれぞれ12個のサブフレームSF1～SF12（SF24～SF13）を対称的に24個のサブフレームを設けたものである。なお、図24（a）は冗長ブロックの無い16個のサブフレーム（発光ブロック）を0.5Fを中心に左右対称に配列したものであり、図24（b）は4つの冗長ブロックを有する20個のサブフレームを0.5Fを中心に左右対称に配列したものであり、そして、図24（d）は8つ（9つ）の冗長ブロックを有する28個のサブフレームを0.5Fを中心に左右対称に配列したものである。

【0040】図24（c）に示すような1フレームを24個のサブフレームSF1～SF24で構成した場合、選択される発光ブロックは図21のようになる。ここで、一例として、図24（c）に示すような24SFを用い、画像が右から左方向へ移動する場合（V=-3[P/F]）を考える。図21における斜めの破線は、パネル上の同色の画素Q, R, S, Tの発光の軌跡を示している。画像の移動と視点の追従により、各サブフレームの発光期間は網膜上に分散している。この発光位置を制御して網膜上の1画素幅内に2画素分のデータを配置すれば、解像度を2倍にすることができます。すなわち、太線部の左半分で示される発光ブロックを選択すると、網膜上で受ける発光の刺激は画素（1/2画素） $S_1'$ となり、また、太線部の右半分で示される発光ブロックを選択すると、網膜上で受ける発光の刺激は画素 $S_2'$ となって、それぞれ本来の網膜上の1仮想画素（ $Q'$ ）の1/2の幅の画素を制御できることになる。

【0041】なお、太線部の左半分および右半分の各々には、Aの発光ブロック1個（サブフレームSF1～SF5の組およびSF20～SF24の組）とDの発光ブロック7個（各SF6～SF12および各SF13～SF19）が含まれているため、それらの組み合わせで各画素 $S_1'$ および $S_2'$ で256階調を表示することができる。

【0042】このように、パネル上の画素はQ, R,

$S$ ,  $T$ であっても、本発明の仮想画素法を用いると、視認される画素は $Q_1'$ ,  $Q_2'$ ,  $R_1'$ ,  $R_2'$ ,  $S_1'$ ,  $S_2'$ ,  $T_1'$ ,  $T_2'$ と2倍の解像度を持たせることができるとある。ただし、画素間の輝度は0とはならず、重なることになる。図22は仮想画素 $S_1'$ の表現のために使用するパネル上の画素の発光の軌跡（理想的な場合：解像度を2倍にする場合）を示す図であり、図23は仮想画素 $S_1'$ および $S_2'$ の表現のために使用するパネル上の画素の発光の軌跡（発光ブロックを考慮した場合）を示す図である。図22および図23は、画像がパネル上を左から右方向へ移動した場合の観測者の網膜上に想定した画素 $Q'$ ,  $R'$ ,  $S'$ ,  $T'$ を示し、この場合も図20および図21の画像がパネル上を左から右方向へ移動した場合と同様である。

【0043】前述したように、図24（a）～図24（d）に示すサブフレーム配列（発光ブロック配列）は0.5Fを中心にして左右対称となっており、網膜上の1/2画素毎に256階調表示するため、1フレーム（1TVフレーム）内に256階調分のサブフレームを2セット作成するようになっている。これは、1画素を2つに分割した仮想画素を用いる場合、仮想画素それぞれで左右対称に発光パターンを選択することができため、使用発光ブロック決定時に有効である。なお、1フレームを構成するサブフレーム（SF）の数は、基本的には多いほど好ましく、発光ブロックの選択に冗長性のある場合には、図16～図19を参照して説明したのと同様に、空間的に選択可能な時には画素（1/2画素） $S_1'$ ,  $S_2'$ 等）の端部から、或いは、時間的に選択可能な時には時間的に早い（または、遅い）発光ブロックから優先して選択するのが好ましい。

【0044】図25は仮想画素 $S_1'$ における冗長発光ブロックの選択順序（移動方向左）の一例を説明するための図であり、図26は仮想画素 $S_2'$ における冗長発光ブロックの選択順序（移動方向左）の一例を説明するための図である。ここで、図25および図26はそれぞれ前述した図16に対応する。図25に示されるように、網膜上の1/2画素 $S_1'$ を表現する場合、例えば、図25における太線部（発光ブロック）の中心位置と画素 $S_1'$ の左端との距離（=dX）が短い順に、括弧数字の順で優先的に選択する。すなわち、（1）：SF10の発光ブロックD→（2）：SF16の発光ブロックD→（3）：SF11の発光ブロックD→（4）：SF6の発光ブロックD→（5）：SF17の発光ブロックD→（6）：SF12の発光ブロックD→（7）：SF7の発光ブロックDとなるように、冗長発光ブロックDの選択を行う。

【0045】また、図26に示されるように、網膜上の1/2画素 $S_2'$ を表現する場合、には、例えば、図26における太線部（発光ブロック）の中心位置と画素 $S_2'$ の左端との距離（=dX）が短い順に、（1）：S

F 1 8 の発光ブロック D → (2) : S F 1 3 の発光ブロック D → (3) : S F 8 の発光ブロック D → (4) : S F 1 9 の発光ブロック D → (5) : S F 1 4 の発光ブロック D → (6) : S F 9 の発光ブロック D → (7) : S F 1 5 の発光ブロック D となるように、冗長発光ブロック D の選択を行う。

【0046】ここで、以上の説明では、図25(図26)における発光ブロックDの中心位置と画素S<sub>1'</sub>(S<sub>2'</sub>)の左端との距離(=dX)が短い順で優先的に選択を行う場合を説明したが、これは、発光ブロックDの中心位置と画素S<sub>1'</sub>(S<sub>2'</sub>)の左端との距離(=dX)が長い順で、換言すると、発光ブロックDの中心位置と画素S<sub>1'</sub>(S<sub>2'</sub>)の右端との距離(=dX)が短い順で、優先的に選択を行うようにしてもよいのはもちろんである。

【0047】図27は仮想画素S<sub>1'</sub>における冗長発光ブロックの選択順序(移動方向右)の一例を説明するための図であり、図28は仮想画素S<sub>2'</sub>における冗長発光ブロックの選択順序(移動方向右)の一例を説明するための図である。ここで、図27および図28はそれぞれ前述した図17に対応する。図27および図28に示されるように、像のパネル上の移動方向が図25および図26と逆方向の場合には、例えば、網膜上の1/2画素S<sub>1'</sub>およびS<sub>2'</sub>の右端と発光ブロックの中心位置との距離(=dX)が短い順に、括弧数字の順で優先的に選択することになる。

【0048】図35は像の表示パネル上における移動速度とコントラストの関係を示す図であり、図24(a)～図24(d)に示す4種類のサブフレーム配列に対して、本発明に係る仮想画素法(表示装置の駆動方法)を適用し、表示パネルの解像度VGA(水平画素数:640)の2倍のSXGA(水平画素数:1280)の解像度で階調レベルが0-255-0-255という縞模様パターンを、移動速度が1[P/F]から19[P/F]で表示した際のコントラスト(B<sub>max</sub>-B<sub>min</sub>)/(B<sub>max</sub>+B<sub>min</sub>)を計算した結果を示すものである。

【0049】図35から明らかなように、像の表示パネル上の移動速度が大きくなるに従ってコントラストは低下する。これは、移動速度に比例してサブフレーム発光の位置的広がりが大きくなるためである。図36は像の表示パネル上における移動速度とサブフレーム数の関係を示す図であり、各サブフレーム配列に対してコントラストが0.2以上および0.5以上となる像の移動速度の範囲を示すものである。

【0050】ところで、一般的なテレビ信号において、動画の出現頻度は移動速度の増加に伴って減少し、例えば、10[P/F]の画像の出現頻度は1[P/F]の出現頻度の約1割である。図36に示されるように、速度が1[P/F]～10[P/F]の間でコントラスト0.5以上を表現をするには、24SF以上必要である。

ことがわかる。なお、発光の広がりは1TVフレームを構成する中で最も発光期間の長いサブフレームに依存するため、十分な効果を得るにはこれがなるべく短い方がよい。

【0051】ここで、入力画像がSXGAで、画像を表示するパネル(PDP)がVGAの場合、通常の方式では、SXGA→VGAの画像変換を経てPDPに表示し、従って、視認される画像はVGAとなる。一方、本発明に係る仮想画素法を用いると、移動方向に対してSXGAの画像データをそのまま入力することができ、表示で用いるPDPはVGAでありながら、視認される画像は移動方向に対してSXGAとなるのである。

【0052】図37は本発明の表示装置の駆動方法の適用による解像度の向上を説明するためのシミュレーション結果を示す図であり、本発明に係る仮想画素法の適用をコンピュータシミュレーションにより確かめた結果を示すものである。ここで、図37における数字(0或いは255)は階調レベルを示している。まず、入力画像がSXGAの単色で0-1-0-1(0-255-0-255)というパターンであった場合(図37(a)参照)、通常の方式ではサンプリングのタイミングにより0～1の間の値、例えば、0.5といった一様なパターンとなって縞模様を再現できない(図37(b)参照)。しかしながら、本発明に係る仮想画素法(表示装置の駆動方法)を用いることにより、図37(c)に示されるように、原画像を正しく再現することが可能となる。

【0053】図38は本発明の表示装置の駆動方法に対して補間法を併用した場合のシミュレーション結果を示す図である。入力がVGAであった場合(図38(a))、補間法を用いて入力画像の情報を増やし(図38(b))、その補間法が適用された入力画像の情報に対して本発明に係る仮想画素法を用いて表示を行うと、視認される画像は移動方向に対してSXGAの表現が可能となる(図38(c))。すなわち、本発明に係る仮想画素法に対して補間法を併用することにより、VGAの1画素幅中に2つデータ入力することができ、より細部の表現が可能となる。

【0054】このように、本発明に係る仮想画素法を適用することにより、実際に画像を表示するPDPの特性がVGAであっても、移動方向に対して2倍の情報量を入力することができる。また、入力がSXGAであった場合には、そのSXGAの情報をVGAのPDPで正確に再現することができ、さらに、入力がVGAである場合にも、補間法等を用いて情報量を増やすことで、視認画像の情報量を増大することができる。

【0055】本発明に係る表示装置の駆動方法(仮想画素法)は、水平、垂直および隣接する斜め画素方向の8移動方向に対し有効である。また、本発明の仮想画素法は、パネル構造の変更を必要とすることなく、信号処理

のみで動画像の解像度を向上させることができる。ここで、十分な階調表示特性を得るためにには、例えば、1 T Vフレームに512階調を得ることのできるサブフレーム数が必要であり、通常の2倍のスイッチング速度が要求される。なお、現時点においても、NTSCダブルスキャン方式で32SF駆動が実証されており、例えば、前述した24SFは適用することができる。

【0056】次に、色に関して本発明の仮想画素法の適用を説明する。図30は規則的に3つ並んだRGBによる白色表現を説明するための図である。図30において、参照符号Rは赤色のサブピクセル、Gは緑色のサブピクセル、そして、Bは青色のサブピクセルを示している。図30に示されるように、白色を表現する場合、通常、位置的に水平方向に並んだ3つのサブピクセルR、G、Bを用いるが、本発明の仮想画素法を用いることにより、「時間的に並んだ」3つのサブピクセルR、G、Bにより白色を表現することができる。これにより、白色を表現するために必要な幅を狭くすることが可能となり、解像度は大幅に向上する。

【0057】なお、図30では、RGBの各色についてそれぞれ1つの発光ブロックを選んでいるが、複数の発光ブロックを各色について選択することも可能である。また、RGBの割合を変化させることにより、全ての色に対応させることも可能となる。図31は本発明が適用される一例としてのプラズマディスプレイパネル(PDP)の構造を概略的に示す断面図である。図31において、参照符号100はPDP、101は前面基板、101aは発光取り出し面、そして、102は背面基板を示している。さらに、参照符号110は非透光性黒色誘電体、120は非透光性白色誘電体、130はスリット、135は紫外線励起蛍光体(蛍光体)、140はスペーサ、そして、150は放電空間を示している。

【0058】図31に示されるように、スリット130は、前面基板101の内面(放電空間150側)に設けた非透光性黒色誘電体110および非透光性白色誘電体120に空隙を設けることにより形成するようになっている。また、非透光性白色誘電体120の内壁面には蛍光体135が前面に塗布されており、より一層蛍光体135からの発光を増大するようになっている。なお、図31では、前面基板101および背面基板102の内面に形成される電極(例えば、X電極、Y電極およびアドレス電極)および保護膜等は省略されている。

【0059】図32はPDPに対して縦方向にスリットを設けた場合を示す図、図33はPDPに対して横方向にスリットを設けた場合を示す図、そして、図34はPDPに対して十文字型にスリットを設けた場合を示す図である。ここで、図32～図34はそれぞれPDPの正面図を示すものである。なお、参照符号160はサブピクセルを示し、131～133はそれぞれスリットを示している。

【0060】図32～図34に示されるように、本発明の仮想画素法を用いて解像度を上げる手法では、放電セルの発光取りだし部分にスリット130(131～133)を設けることにより、一層高精細化の効果を増大することができる。これは、スリットを設けることにより実際のパネルから出る光の幅がスリットを設けない場合に比べ細くなるため、仮想画素数をそれだけ増やすことが可能となる。

【0061】スリットとしては、図32に示されるように、サブピクセル160の中央垂直方向に設けてもよく、また、図33に示されるように、サブピクセル160の中央水平方向に設けてもよく、さらに、図34に示されるように、サブピクセル160の中央に十文字形状に設けてもよい。ここで、例えば、図32や図33のようなスリットは、元の幅を1として、そのスリット幅を $1/k$ となるように設定すれば、理論上仮想画素数はk倍まで可能となる。また、図34のように、スリットを縦および横の各々に入れて十文字形状とした場合には、縦および横の各々について仮想画素の増大が可能となる。なお、スリットを設ける場合には、放電セルに面している部分に蛍光体を塗布し、輝度を向上する方法も有力である。さらに、図31に示すように、スリットを黑白二重構造(非透光性黒色誘電体110および非透光性白色誘電体120)とし、内部反射を利用して輝度を向上させることもできる。また、仮想画素の寸法をスリット幅にほぼ等しくすることもできる。

【0062】(付記1) 1フレームを複数のサブフレームで構成し、表示パネル上を移動する入力画像を表示する表示装置の駆動方法であって、前記入力画像により網膜上に結像される特定の網膜上画素を想定し、該特定の網膜上画素の輝度が前記入力画像における対応する画素の輝度と概略等しくなるように前記各サブフレームによる発光を制御することを特徴とする表示装置の駆動方法。

【0063】(付記2) 付記1に記載の表示装置の駆動方法において、前記各サブフレームによる発光を、前記表示パネル上を移動する前記入力画像の移動方向および移動速度に従って制御することを特徴とする表示装置の駆動方法。

【0064】(付記3) 付記2に記載の表示装置の駆動方法において、前記入力画像の移動に応じて各網膜上画素が網膜に与える軌跡を想定し、前記特定の網膜上画素の領域内に概略含まれる軌跡に対応する各サブフレームによる発光を制御することを特徴とする表示装置の駆動方法。

【0065】(付記4) 付記3に記載の表示装置の駆動方法において、前記特定の網膜上画素に対する発光は、当該特定の網膜上画素、または、それに隣接或いは近接する網膜上画素の軌跡に含まれ、且つ、前記特定の網膜上画素の領域内に概略含まれる軌跡に対応するサブフレームによる発光であることを特徴とする表示装置の

駆動方法。

【0065】(付記5) 付記3に記載の表示装置の駆動方法において、前記特定の網膜上画素を表示するのに使用する各サブフレームによる発光領域の網膜上画素ピッチを、前記表示パネルの画素ピッチよりも短くすることを特徴とする表示装置の駆動方法。

(付記6) 付記5に記載の表示装置の駆動方法において、前記網膜上画素ピッチを、前記表示パネルの画素ピッチの1/2に選ぶことを特徴とする表示装置の駆動方法。

【0066】(付記7) 付記6に記載の表示装置の駆動方法において、前記網膜上画素の1フレームをN個のサブフレームで構成するとき、前記表示パネルの画素に対して1フレーム期間当たり前記N個のサブフレームを2組設けることを特徴とする表示装置の駆動方法。

(付記8) 付記7に記載の表示装置の駆動方法において、前記表示パネルの画素に対して、前記1フレーム期間の前半および後半それぞれに前記N個のサブフレームの各1組を配置することを特徴とする表示装置の駆動方法。

【0067】(付記9) 付記5に記載の表示装置の駆動方法において、前記網膜上画素ピッチは、前記表示パネルを移動する画像の移動速度、および、前記1フレームを構成するサブフレームの冗長性のある発光ブロックの数により制限されることを特徴とする表示装置の駆動方法。

(付記10) 付記9に記載の表示装置の駆動方法において、前記冗長性のある発光ブロックは、前記特定の網膜上画素の一端の近くまたは遠くに偏って優先的に選ばれることを特徴とする表示装置の駆動方法。

【0068】(付記11) 付記9に記載の表示装置の駆動方法において、前記冗長性のある発光ブロックは、前記特定の網膜上画素を表示する1フレーム期間の初めまたは終わりに偏って優先的に選ばれることを特徴とする表示装置の駆動方法。

(付記12) 付記1~12のいずれか1項に記載の表示装置の駆動方法において、前記特定の網膜上画素の発光色が前記入力画像における対応する画素の発光色と概略等しくなるように、前記サブフレームによる発光を制御することを特徴とする表示装置の駆動方法。

【0069】(付記13) 付記1~12のいずれか1項に記載の表示装置の駆動方法を適用することを特徴とする表示装置。

(付記14) 付記13に記載の表示装置の駆動方法において、前記表示パネルを構成する各発光セルの発光取り出し部分にスリットを設け、実効的な発光取り出し部分の面積を制限することを特徴とする表示装置。

【0070】(付記15) 付記14に記載の表示装置において、前記スリットを、前記発光セルに対してほぼ水平方向に形成することを特徴とする表示装置。

(付記16) 付記14に記載の表示装置において、前記スリットを、前記発光セルに対してほぼ垂直方向に形成することを特徴とする表示装置。

【0071】(付記17) 付記14に記載の表示装置において、前記スリットを、前記発光セルに対してほぼ水平および垂直方向を組み合わせて十文字形状に形成することを特徴とする表示装置。

(付記18) 付記13~17のいずれか1項に記載の表示装置において、前記スリットを形成するために、前面基板に遮光性誘電体を設け、該遮光性誘電体の観測者側を黒色とし、且つ、該遮光性誘電体の観測者と反対側を白色とすることを特徴とする表示装置。

【0072】(付記19) 付記18に記載の表示装置において、前記遮光性誘電体の内壁面に紫外線励起蛍光体を塗布することを特徴とする表示装置。

(付記20) 付記13~19のいずれか1項に記載の表示装置において、該表示装置は、プラズマディスプレイ表示装置であることを特徴とする表示装置。

#### 【0073】

20 【発明の効果】本発明によれば、仮想画素方式 (Virtual pixel technique) を用いることにより、動画偽輪郭を低減し、高解像度表示を得ることができる。また、明室コントラストを向上させることもできる。さらに、蛍光体塗布面積の増大により、輝度および発光効率を向上させることができる。

#### 【図面の簡単な説明】

【図1】表示したい画素とそれに対応して網膜上に想定した画素（静止画の場合）を示す図である。

【図2】網膜上に想定した画素S'の表現のために使用するパネル上の画素の発光の軌跡（理想的な場合）を示す図である。

【図3】網膜上に想定した画素S'の表現のために使用するパネル上の画素の発光の軌跡（発光ブロックを考慮した場合）を示す図である。

【図4】パネル上の画素とそれより細かく網膜上に想定した画素（仮想画素）を示す図である。

【図5】パネル上の画素とそれを1/2分割して網膜上に想定した画素（仮想画素）を示す図である。

【図6】パネル上の画素Pnにおける注目発光ブロックの発光の軌跡の中心までの時間と距離を示す図である。

【図7】図6において、a=0の場合を示す図である。

【図8】図6において、a=1の場合を示す図である。

【図9】図6において、a=2の場合を示す図である。

【図10】網膜上に想定した画素S'の表現のために使用するパネル上の画素の発光の軌跡（理想的な場合）を示す図である。

【図11】網膜上に想定した画素S'の表現のために使用するパネル上の画素の発光の軌跡（発光ブロックを考慮した場合）を示す図である。

50 【図12】パネル上の画素Pnにおける注目発光ブロッ

19

クの発光の軌跡の中心までの時間と距離を示す図である。

【図13】図12において、 $a = 0$ の場合を示す図である。

【図14】図12において、 $a = 1$ の場合を示す図である。

【図15】図12において、 $a = 2$ の場合を示す図である。

【図16】冗長発光ブロックの選択順序（移動方向左）を示す図である。

【図17】冗長発光ブロックの選択順序（移動方向右）を示す図である。

【図18】網膜上の位置が等しい冗長発光ブロックの選択順序（移動方向左）を示す図である。

【図19】網膜上の位置が等しい冗長発光ブロックの選択順序（移動方向右）を示す図である。

【図20】仮想画素  $S_1'$  の表現のために使用するパネル上の画素の発光の軌跡（理想的な場合）を示す図である。

【図21】仮想画素  $S_1'$  および  $S_2'$  の表現のために使用するパネル上の画素の発光の軌跡（発光ブロックを考慮した場合）を示す図である。

【図22】仮想画素  $S_1'$  の表現のために使用するパネル上の画素の発光の軌跡（理想的な場合）を示す図である。

【図23】仮想画素  $S_1'$  および  $S_2'$  の表現のために使用するパネル上の画素の発光の軌跡（発光ブロックを考慮した場合）を示す図である。

【図24】本発明に係る表示装置の駆動方法（仮想画素法）で用いるサブフレーム配列の例を示す図である。

【図25】仮想画素  $S_1'$  における冗長発光ブロックの選択順序（移動方向左）の一例を説明するための図である。

【図26】仮想画素  $S_2'$  における冗長発光ブロックの選択順序（移動方向左）の一例を説明するための図である。

【図27】仮想画素  $S_1'$  における冗長発光ブロックの選択順序（移動方向右）の一例を説明するための図である。

【図28】仮想画素  $S_2'$  における冗長発光ブロックの選択順序（移動方向右）の一例を説明するための図である。

20

【図29】本発明に適用されるサブフレーム配列の例を示す図である。

【図30】規則的に3つ並んだRGBによる白色表現を説明するための図である。

【図31】本発明が適用される一例としてのプラズマディスプレイパネル（PDP）の構造を概略的に示す断面図である。

【図32】PDPに対して縦方向にスリットを設けた場合を示す図である。

10 【図33】PDPに対して横方向にスリットを設けた場合を示す図である。

【図34】PDPに対して十文字型にスリットを設けた場合を示す図である。

【図35】像の表示パネル上における移動速度とコントラストの関係を示す図である。

【図36】像の表示パネル上における移動速度とサブフレーム数の関係を示す図である。

【図37】本発明の表示装置の駆動方法の適用による解像度の向上を説明するためのシミュレーション結果を示す図である。

20 【図38】本発明の表示装置の駆動方法に対して補間法を併用した場合のシミュレーション結果を示す図である。

#### 【符号の説明】

100…プラズマディスプレイパネル（PDP）

101…前面基板

101a…発光取り出し面

102…背面基板

110…非透光性黒色誘電体

120…非透光性白色誘電体

130, 131, 132, 133…はスリット

135…紫外線励起蛍光体（蛍光体）

140…スペーサ

150…放電空間

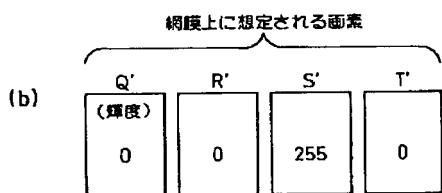
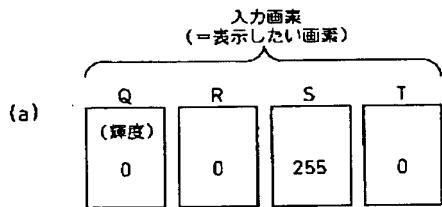
Q, R, S, T…表示パネル上の画素（入力画素）

Q', R', S', T'…網膜上に想定した画素（仮想画素）

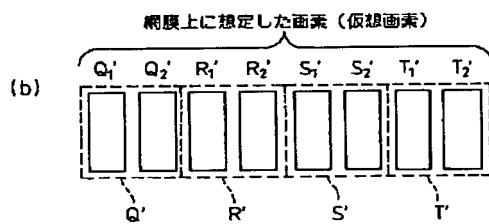
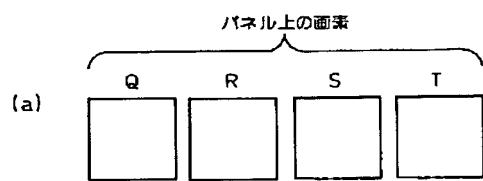
S<sub>1</sub>', S<sub>2</sub>'…S'を1/2に分割した仮想画素（1/2画素）

40 Q<sub>1</sub>'～Q<sub>n'</sub>, R<sub>1</sub>'～R<sub>n'</sub>, S<sub>1</sub>'～S<sub>n'</sub>, T<sub>1</sub>'～T<sub>n'</sub>…n個の分割された画素（n分割仮想画素）

【図1】

図1 表示したい画素とそれに対応して網膜上に想定した画素  
(静止画の場合)

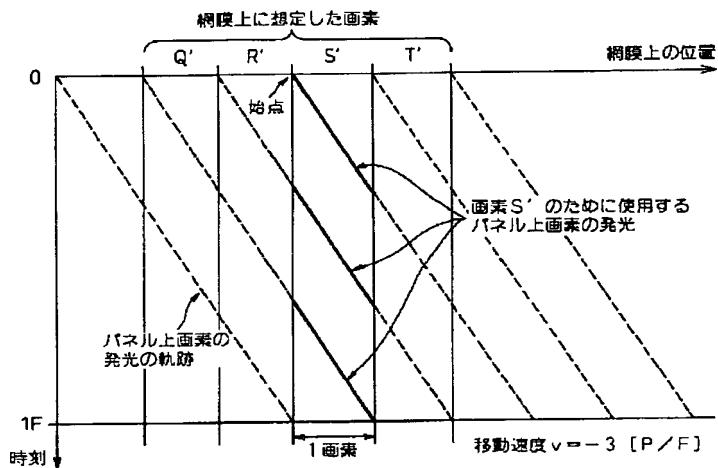
【図5】

図5 パネル上の画素とそれを1/2分割して網膜上に想定した画素  
(仮想画素)

【図2】

網膜上に想定した画素S'の表現のために使用するパネル上の  
画素の発光の軌跡(理想的な場合)

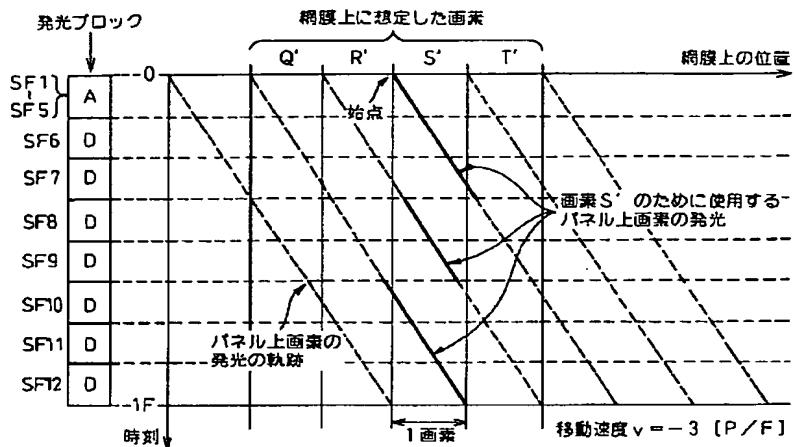
図2



【図3】

網膜上に想定した画素  $S'$  の表現のために使用するパネル上の  
画素の発光の軌跡（発光ブロックを考慮した場合）

図3



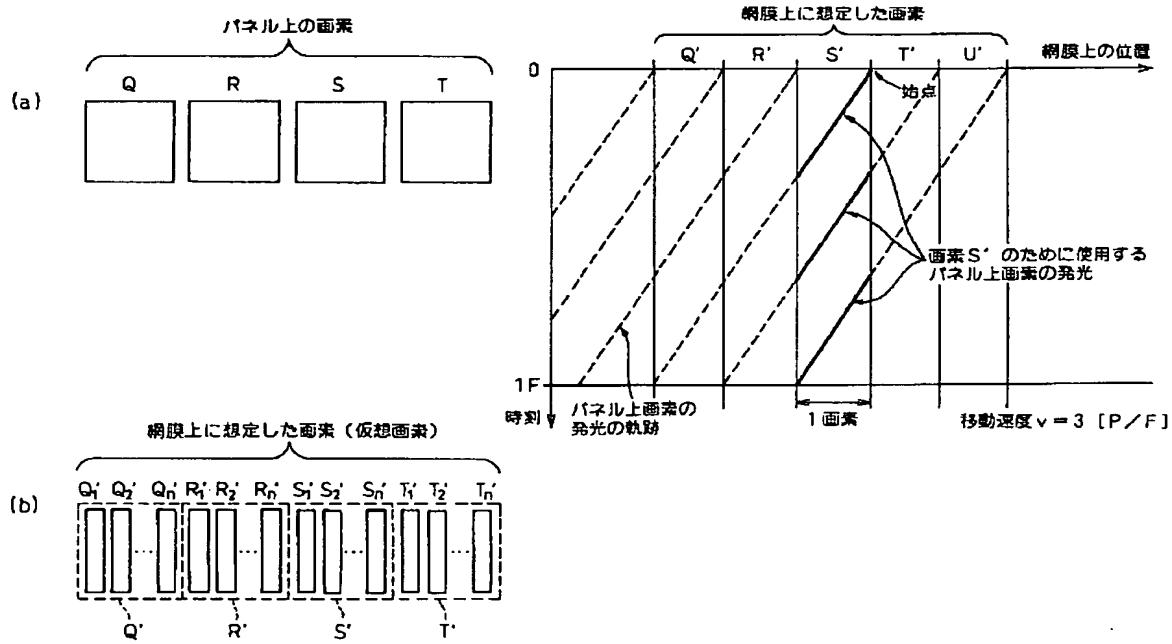
【図4】

図4 パネル上の画素とそれより細かく網膜上に想定した画素  
(仮想画素)

【図10】

網膜上に想定した画素  $S'$  の表現のために使用するパネル上の  
画素の発光の軌跡（理想的な場合）

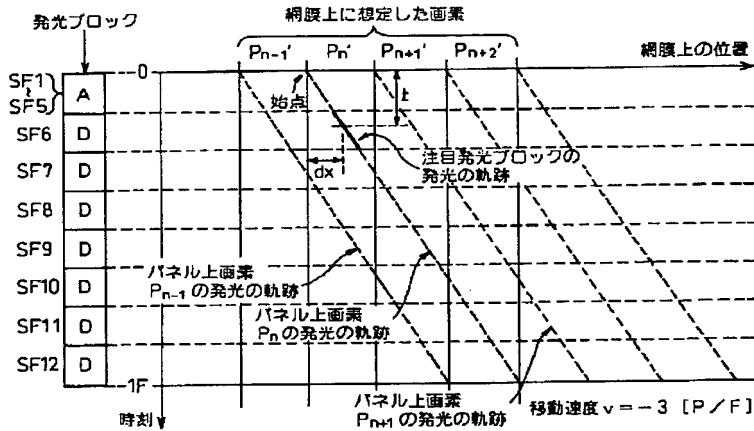
図10



【図6】

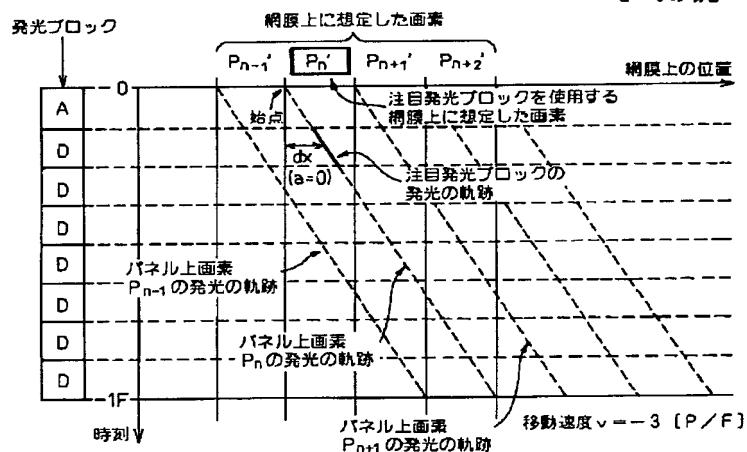
パネル上の画素 $P_n$ における注目発光ブロックの発光の軌跡の  
中心までの時間と距離

図6



【図7】

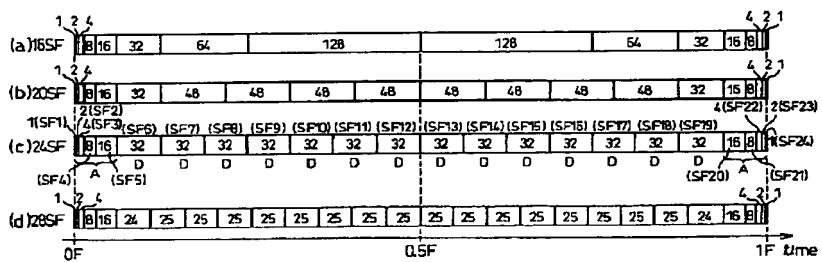
$a = 0$ の場合



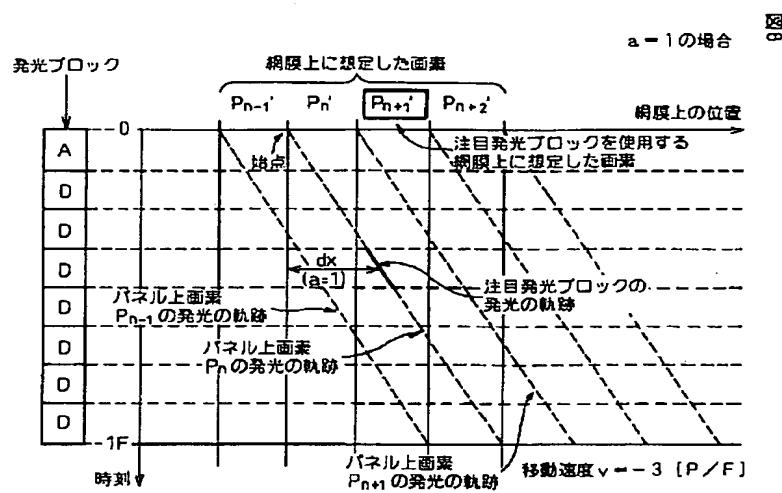
【図24】

仮想画像法で用いるサブフレーム配列

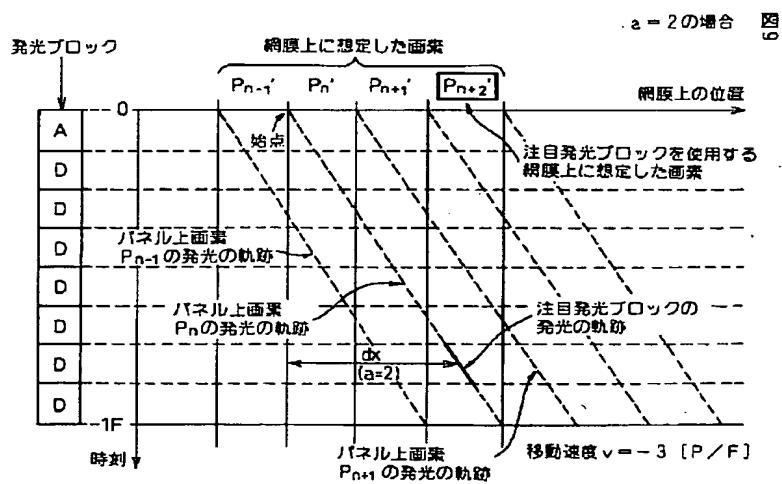
図24



【図8】



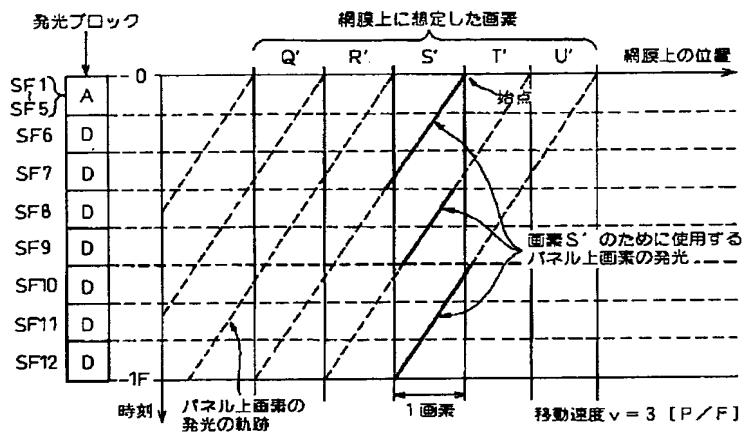
【図9】



【図11】

網膜上に想定した画素 $S'$ の表現のために使用するパネル上の画素の発光の軌跡（発光ブロックを考慮した場合）

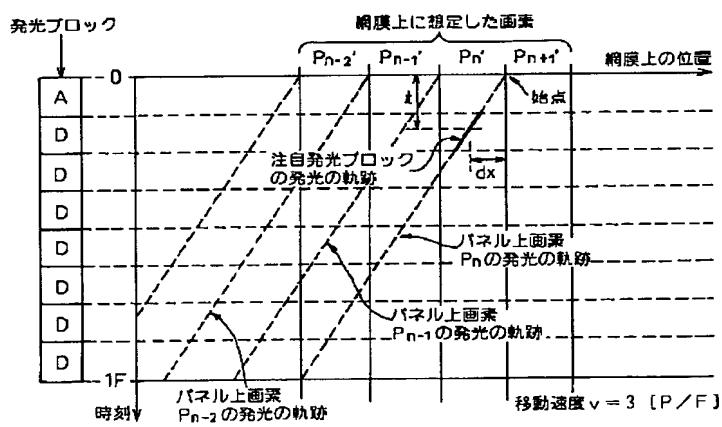
図11



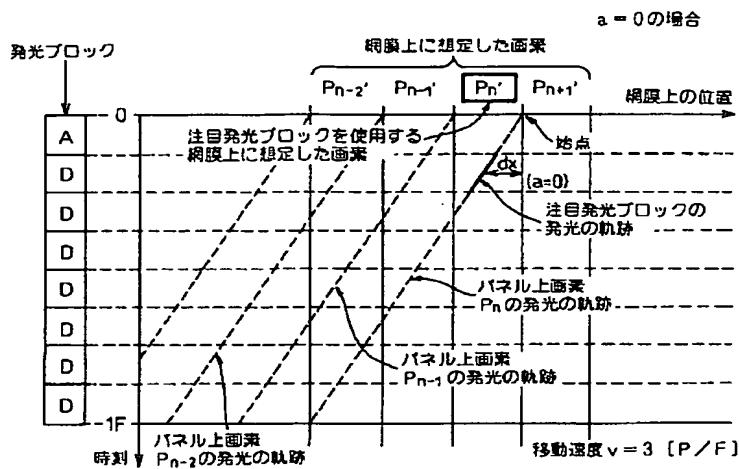
【図12】

パネル上の画素  $P_n$  における注目発光ブロックの発光の軌跡の中心までの時間と距離

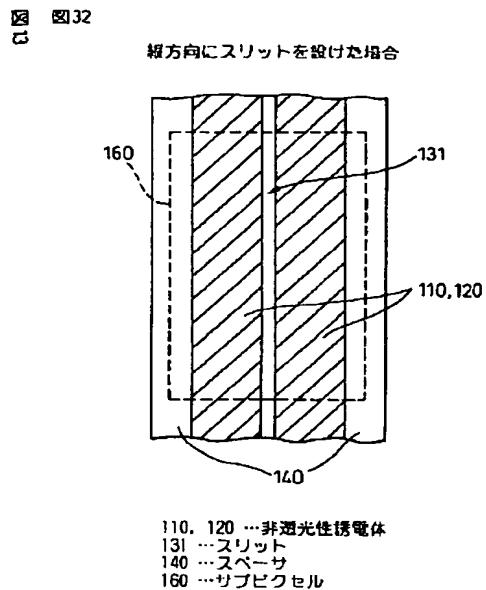
図12



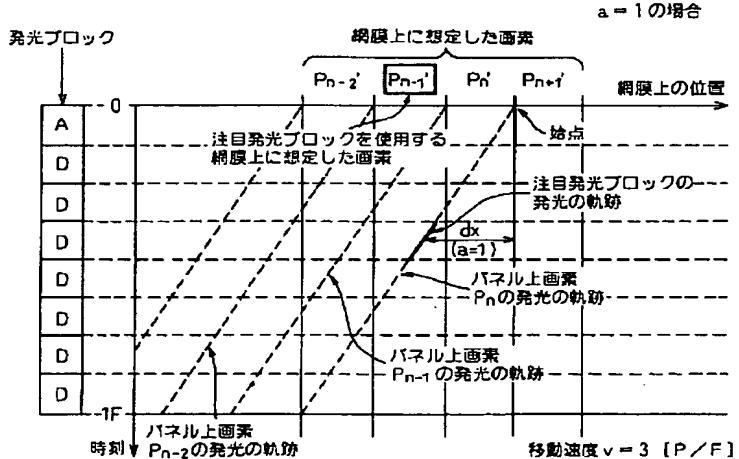
【図13】



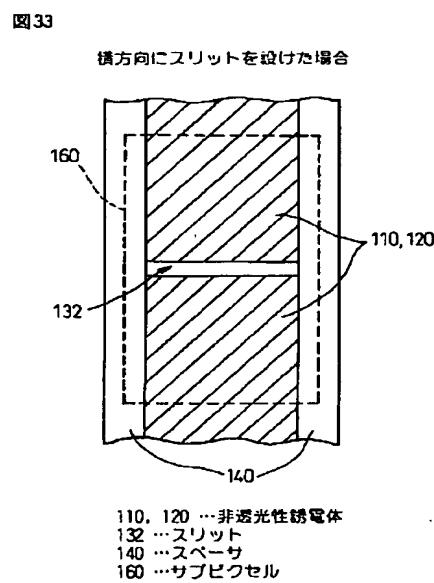
【図32】



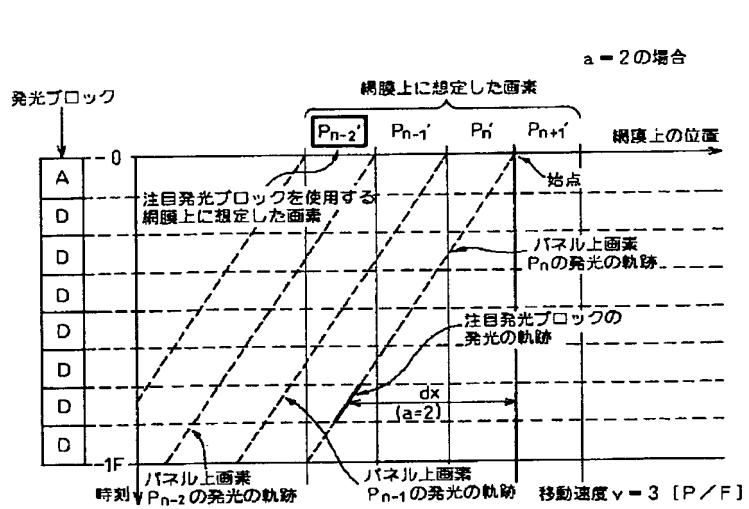
【図14】



【図33】



【図15】



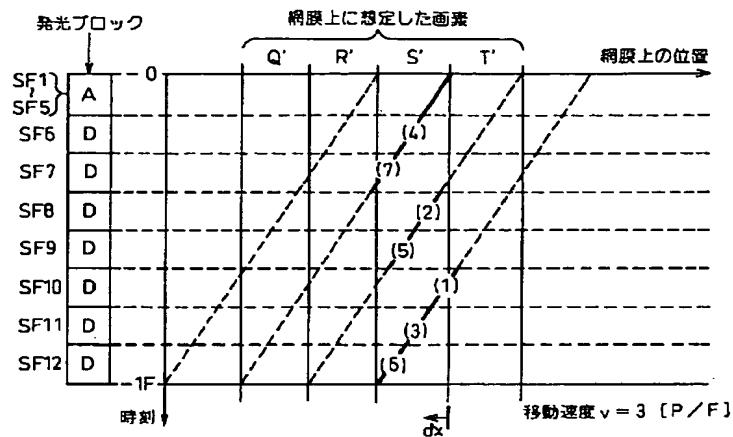
【図16】

冗長発光ブロックの選択順序 (移動方向左)

図16

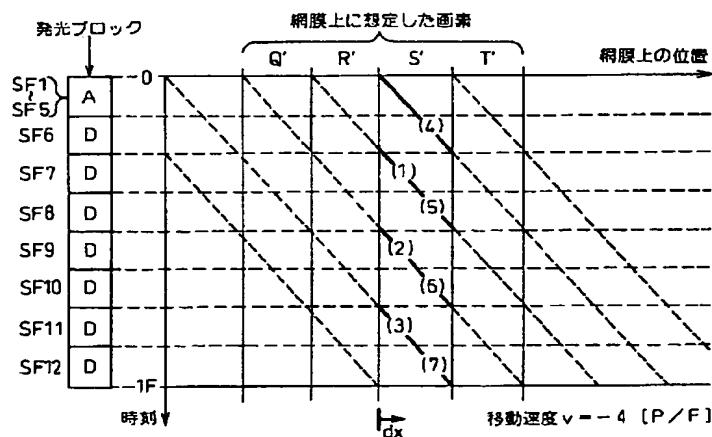
【図17】

冗長発光ブロックの選択順序（移動方向右）

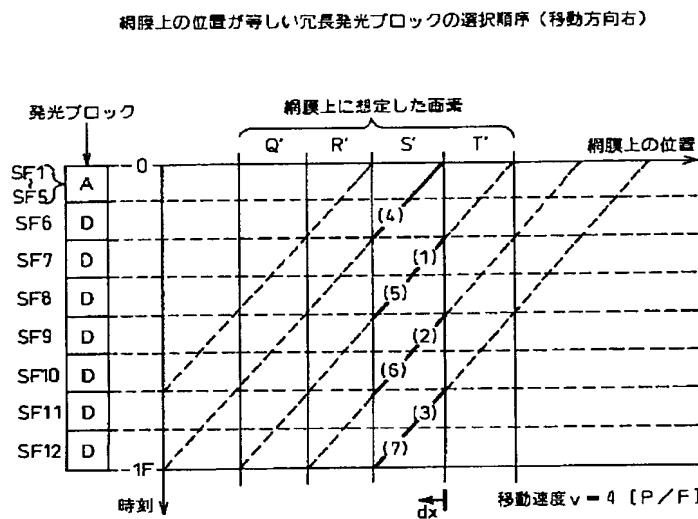
図  
17

【図18】

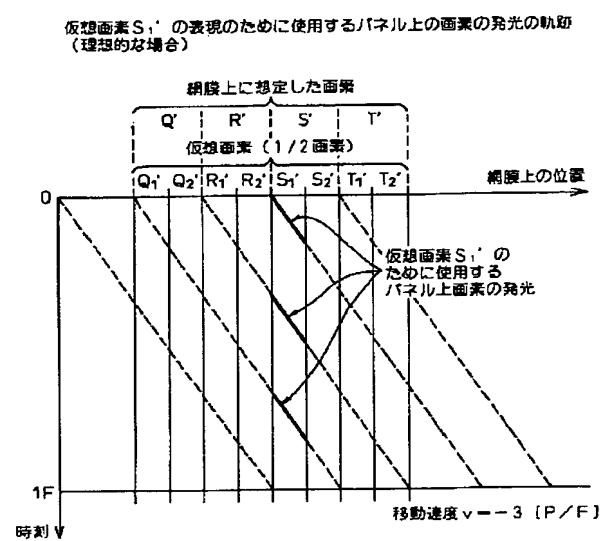
網膜上の位置が等しい冗長発光ブロックの選択順序（移動方向左）

図  
18

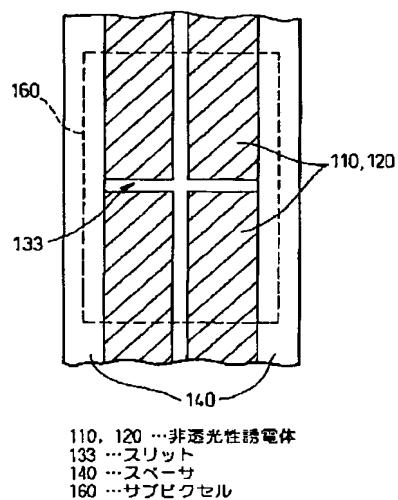
【図19】



【図20】

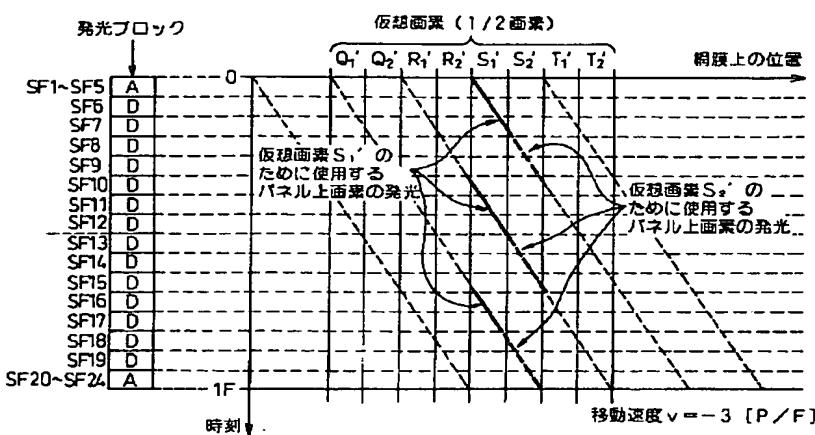


【図34】

図34  
十文字型にスリットを設けた場合

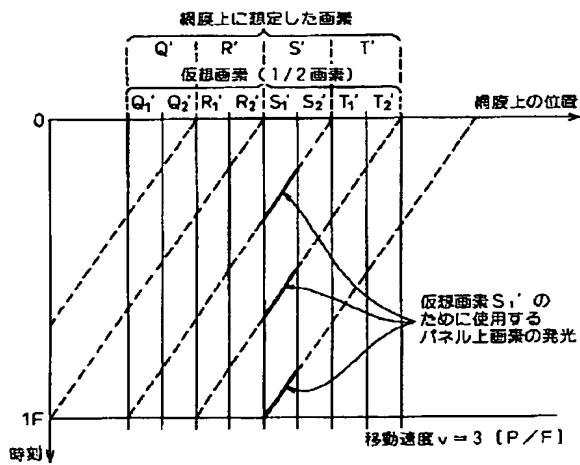
【図21】

仮想画素  $S_1'$  および  $S_2'$  の表現のために使用するパネル上の画素の発光の軌跡  
(発光ブロックを考慮した場合)



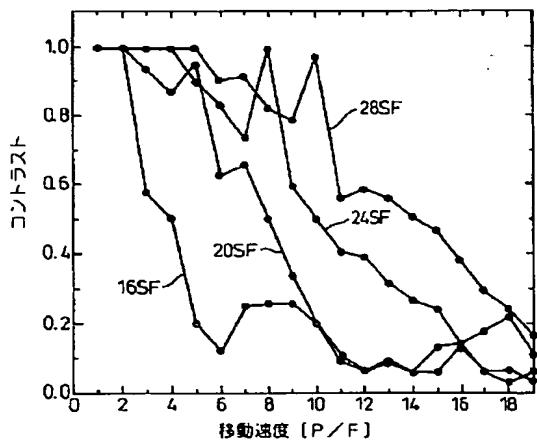
【図22】

仮想画素  $S_1'$  の表現のために使用するパネル上の画素の発光の軌跡  
(理想的な場合)



【図35】

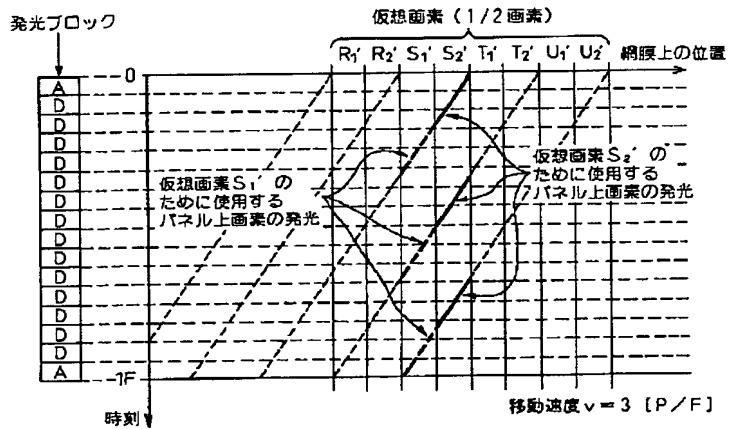
図35 移動速度とコントラストの関係



【図23】

仮想画素  $S_1'$  および  $S_2'$  の表現のために使用するパネル上の画素の発光の軌跡  
(発光ブロックを考慮した場合)

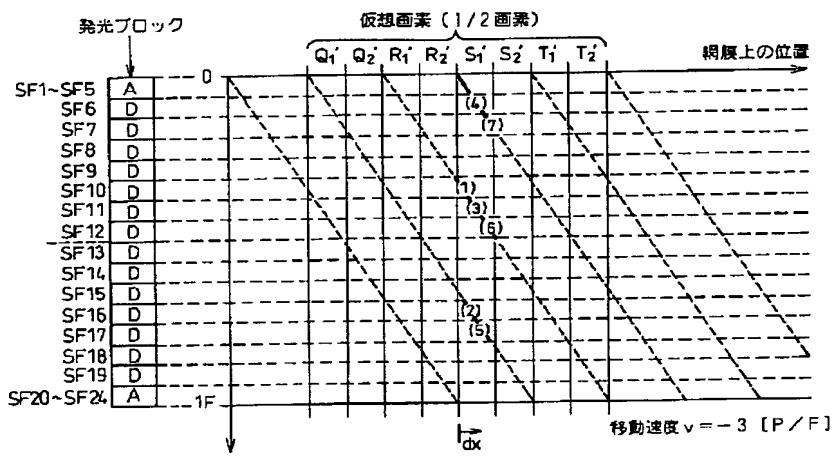
図23



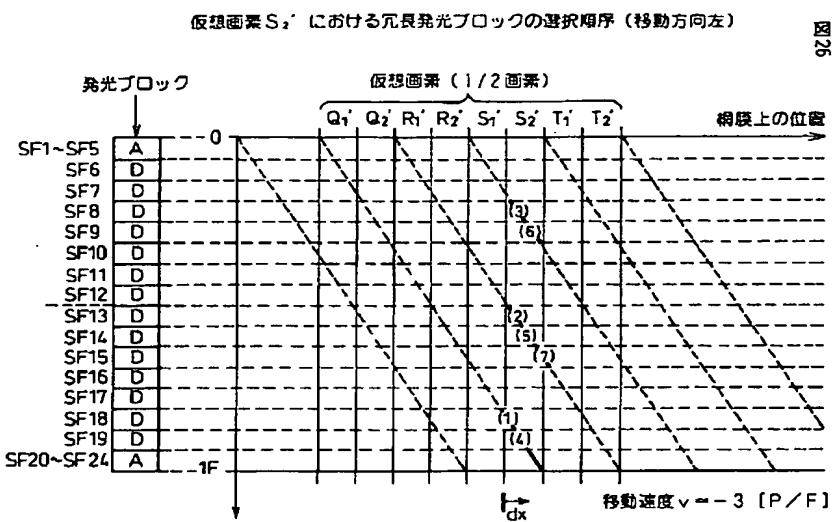
【図25】

仮想画素  $S_1'$  における冗長発光ブロックの選択順序 (移動方向左)

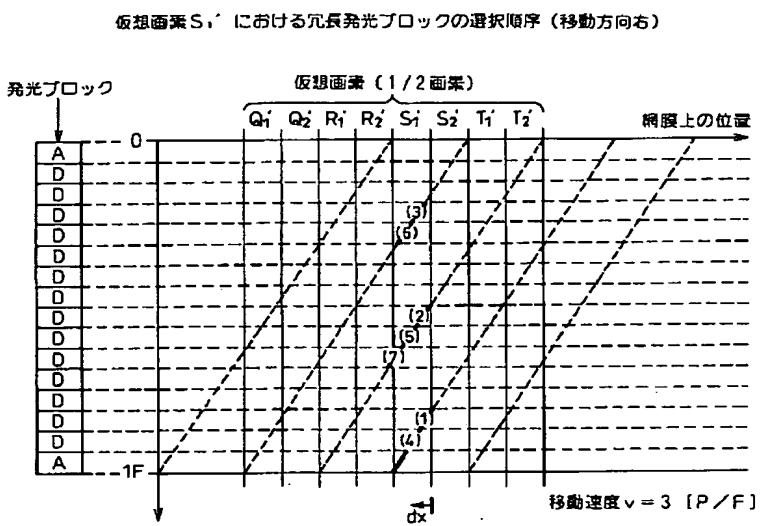
図25



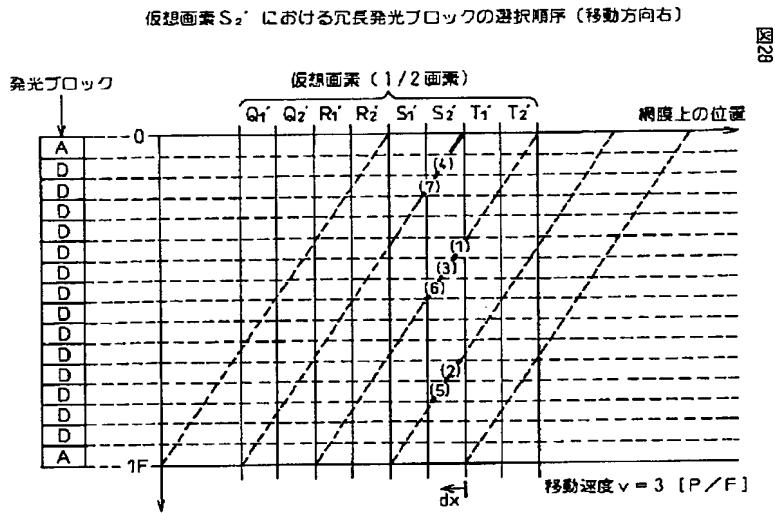
【図26】



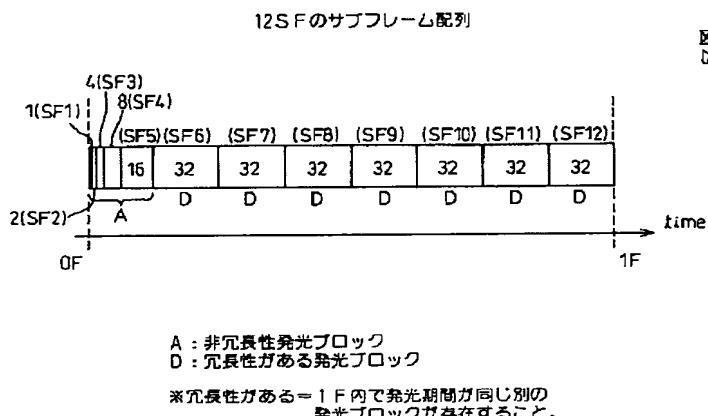
【図27】



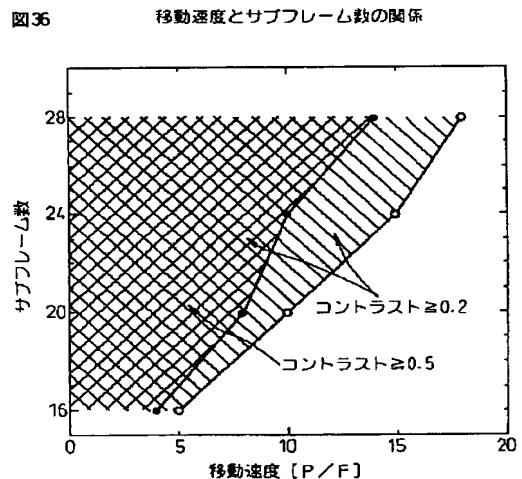
【図28】



【図29】

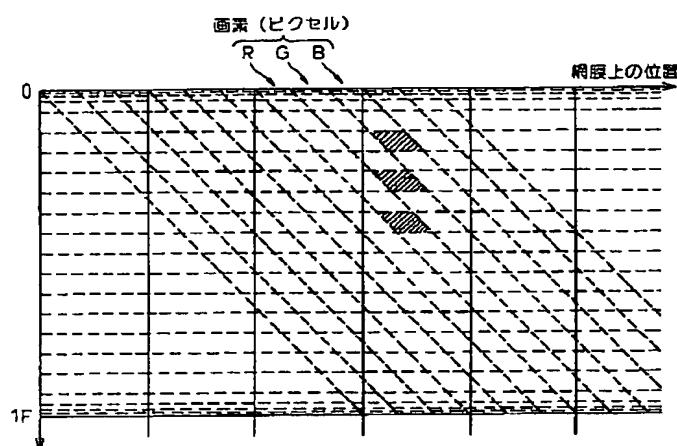


【図36】



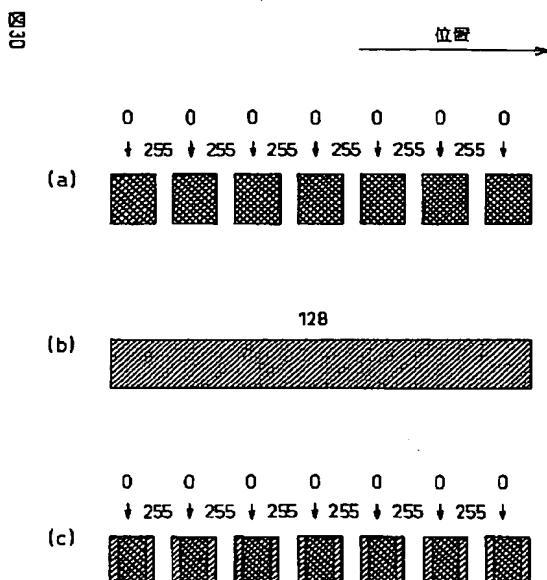
【図30】

時間的に3つ並んだRGBによる白色表現

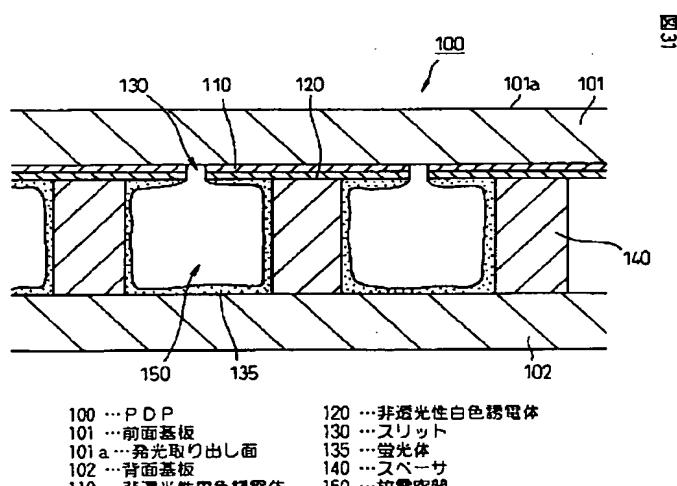


【図37】

解像度の向上を示すシミュレーション結果

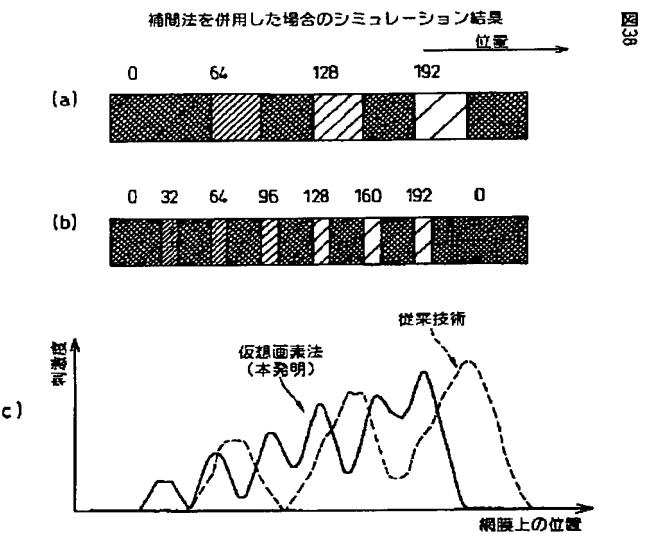


【図31】



- |                 |                 |
|-----------------|-----------------|
| 100 … PDP       | 120 … 非透光性白色誘電体 |
| 101 … 前面基板      | 130 … スリット      |
| 101a … 発光取り出し面  | 135 … 蛍光体       |
| 102 … 背面基板      | 140 … スペーサ      |
| 110 … 非透光性黒色誘電体 | 150 … 放電空間      |

【図38】



フロントページの続き

- |                                                                                                                     |                                                                   |
|---------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------|
| (72) 発明者 上田 壽男<br>神奈川県川崎市高津区坂戸3丁目2番1号<br>富士通日立プラズマディスプレイ株式会<br>社内                                                   | (72) 発明者 斎谷 教治<br>神奈川県川崎市高津区坂戸3丁目2番1号<br>富士通日立プラズマディスプレイ株式会<br>社内 |
| (72) 発明者 戸田 幸作<br>神奈川県川崎市高津区坂戸3丁目2番1号<br>富士通日立プラズマディスプレイ株式会<br>社内                                                   | (72) 発明者 御子柴 茂生<br>東京都杉並区和泉2丁目43番17号                              |
|                                                                                                                     | (72) 発明者 志賀 智一<br>神奈川県川崎市高津区千年764-403                             |
|                                                                                                                     | (72) 発明者 山田 真規子<br>神奈川県藤沢市鶴沼松が岡2-9-5                              |
| F ターム(参考) 5C040 GH06 GH10 LA11 MA02 MA04<br>5C080 AA05 AA06 AA10 BB05 CC03<br>DD06 DD07 EE19 EE29 GG08<br>JJ05 JJ06 |                                                                   |